

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-174601

(43)Date of publication of application : 23.06.2000

(51)Int.Cl.

H03K 17/66
G09G 3/20
G09G 3/36
H03K 19/0175

(21)Application number : 10-349073

(71)Applicant : SHARP CORP

(22)Date of filing : 08.12.1998

(72)Inventor : KOMURA AKIHIRO

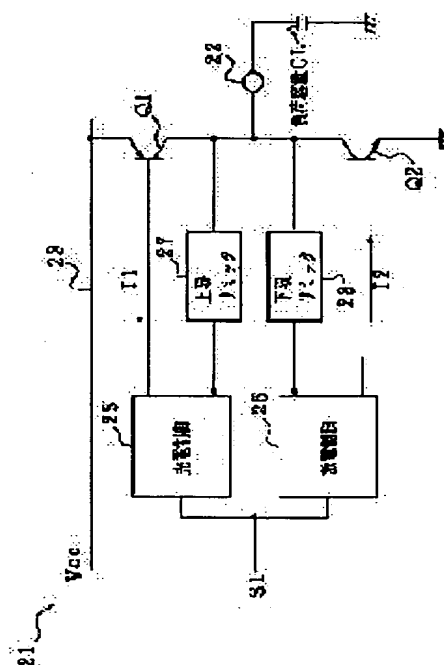
(54) DRIVING CIRCUIT FOR CAPACITIVE LOAD

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify constitution and to reduce loss in a driving circuit for driving the load capacity of the common electrode or the like of a liquid crystal panel.

SOLUTION: Control circuits 25 and 26 supply the base currents I1 and I2 of output transistors Q1 and Q2, and when the potential of the load capacity CL reaches a prescribed upper limit or lower limit, a limiter circuit 27 or 28

respectively bypasses a charging or discharging current. Also, in response to the operation of the limiter circuit 27 or 28, the control circuit 25 or 26 respectively suppresses the base current I1 or I2 of the output transistor Q1 or Q2. Thus, since just the changeover of the base current by the control circuits 25 and 26 is performed by the limiter circuits 27 and 28, the need of a countermeasure against oscillation or the like is eliminated and the constitution is simplified. Also, since the large charging/discharging current does not keep flowing, the loss is reduced.



LEGAL STATUS

[Date of request for examination]

19.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the drive circuit of the capacitive load characterized by to be prepared in relation to the aforementioned charge-and-discharge circuit, and for the aforementioned control circuit to answer the operation of the aforementioned limiter circuit including the limiter circuit restricted in the voltage value which defines an output-voltage amplitude beforehand, and to restrict the charge and discharge current of the aforementioned charge-and-discharge circuit in the drive circuit where an input signal is answered, a control circuit controls a charge-and-discharge circuit, and it was made to carry out the charge and discharge of the output load-carrying capacity.

[Claim 2] As for the aforementioned charge-and-discharge circuit, an emitter is connected to the high-level side edge child and low-level side edge child of a power supply, respectively. A collector is connected to the aforementioned output load-carrying capacity through an output terminal in common, and it has the 1st and 2nd transistors to which the base current answered and switched to the aforementioned input signal from the aforementioned control circuit is given, respectively. The reference voltage by the side of the high level as which it connects with the aforementioned output terminal in common, and an emitter determines the aforementioned limiter circuit to the base beforehand, and the reference voltage by the side of a low level are given, respectively. The drive circuit of the capacitive load according to claim 1 characterized by having the 3rd which restricts the base current to the above 1st by the aforementioned control circuit, and the 2nd transistor by the collector current, and 4th transistors.

[Claim 3] The aforementioned output load-carrying capacity is the drive circuit of the capacitive load according to claim 1 or 2 characterized by being the common electrode of a liquid crystal panel.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the circuit for driving the capacitive load driven by charge and discharge.

[0002]

[Description of the Prior Art] Drawing 4 is the block diagram showing the electric composition of the drive circuit 1 of the capacitive load of the typical conventional technology. This drive circuit 1 is equipped with the switch sw1 which functions as the differential-amplifier circuit 2 for criteria which specifies a charge and discharge current as a control circuit for answering an input signal and switching a charge and discharge current, the differential-amplifier circuit 3 for control which controls the aforementioned charge and discharge current, and an output circuit 4, is constituted, and is driven by carrying out the charge and discharge of the load-carrying capacity cl connected to an output terminal 5.

[0003] The aforementioned differential-amplifier circuit 2 is equipped with the sources f1-f4 of reference current, the sources b1 and b2 of reference voltage, transistors q1 and q2, and resistance r1, and is constituted. The reference voltages v1 and v2 from the sources b1 and b2 of reference voltage are given to the base of the transistors q1 and q2 of the couple which constitutes a differential pair, respectively. In addition, subsequent explanation explains as $v1 > v2$. The constant current i1 from the power supply of high level Vcc and i2 are supplied to the collector of transistors q1 and q2 through constant current sources f1 and f2, respectively. The emitter of transistors q1 and q2 is mutually connected by resistance r1 while it is grounded through constant current sources f3 and f4, respectively. The current i1 which flows constant current sources f1, f2, f3, and f4, i2, and i3 and i4 are set up equally to mutual.

[0004] The collector of the aforementioned transistor q1 is connected to one individual contact a of the aforementioned switch sw1, and the collector of a transistor q2 is connected to the individual contact b of another side. Since it is as above-mentioned $v1 > v2$, Contact a serves as a low level and Contact b is high-level. The common contact c of a switch sw1 is connected to the inversed input terminal of the differential amplifier 6 in the differential-amplifier circuit 3, and reference voltage v3 is given to the noninverting input terminal of the differential amplifier 6 from the source b3 of reference voltage.

[0005] On the other hand, the output transistor q3 of a PNP form by which an emitter is connected to the power supply line by the side of the aforementioned high-level Vcc, and a collector is connected to an output terminal 5, and an emitter are grounded, the collector consists of output transistors q4 of a NPN form connected at an output terminal 5, the non-inverter output of the aforementioned differential amplifier 6 is given to the base of the output transistor q3, and, as for an output circuit 4, an antiphase output is given to the base of the output transistor q4 The aforementioned output terminal 5 is connected to the reversal input edge of the aforementioned differential amplifier 6 through the feedback resister r2 again.

[0006] Drawing 5 is the electrical diagram showing the aforementioned differential amplifier 6 in detail. The differential amplifier 6 is equipped with the reference current creation circuit 60, the amplifier 61 by the side of electric discharge, the amplifier 62 by the side of charge, and the aforementioned source b3 of reference voltage and a feedback resister r2, and is constituted. The series circuit which consists of resistance r31, the transistor q31 by which diode connection was made, the transistor q33

with which the reference voltage v_{31} from the source b_{31} of reference voltage is given to the base, resistance r_{33} , the transistor q_{32} by which diode connection was made, and resistance r_{32} is connected between the power supply line 7 of the aforementioned high level V_{cc} , and grounding potential, and the reference current creation circuit 60 is constituted. Therefore, in this series circuit, the reference current i_0 determined with the aforementioned reference voltage v_{31} is flowing.

[0007] In an amplifier 61 side, the current from the aforementioned power supply line 7 is given through resistance r_{10} and the aforementioned transistor q_{31} , and the transistor q_{10} that forms current Miller circuit common to the emitter of the transistors q_{11} and q_{12} which constitute a differential pair. The input voltage v_4 from the inversed input terminal 8 of the differential amplifier 6 is given to the base of one transistor q_{11} . The reference voltage v_3 from the source b_3 of reference voltage is given to the base of the transistor q_{12} of another side. The collector of a transistor q_{11} is grounded through a transistor q_{13} and resistance r_{11} , and the collector of a transistor q_{12} is grounded through a transistor q_{14} and resistance r_{12} . It connects with the base of the output transistor q_4 , and the collector of the aforementioned transistor q_{12} begins to pass a base current to this output transistor q_4 again.

[0008] On the other hand, in an amplifier 62 side, to the collector of a transistor q_{21} , current is supplied from the power supply line 7 through resistance r_{21} and a transistor q_{23} , and current is similarly supplied for while a differential pair is constituted to the collector of the transistor q_{22} of another side through resistance r_{22} and a transistor q_{24} at it. The emitter of transistors q_{21} and q_{22} is grounded in common through the aforementioned transistor q_{32} , the transistor q_{20} which forms current Miller circuit, and resistance r_{20} . Like the aforementioned transistor q_{11} , the input voltage v_4 to an input terminal 8 is given to the base of a transistor q_{21} , and reference voltage v_3 is given to it like the aforementioned transistor q_{12} in the base of a transistor q_{22} . From the collector of a transistor q_{22} , the base current of the output transistor q_3 is absorbed.

[0009] Therefore, when input voltage v_4 is higher than reference voltage v_3 , a transistor q_{11} turns off and a transistor q_{12} turns on. By this, the aforementioned current i_0 turned up by transistors q_{12} and q_{14} with transistors q_{31} and q_{10} flows, a transistor q_{13} turns off, the base potential of the collector q_4 of a transistor q_{14} , i.e., the output transistor by the side of electric discharge, rises, this output transistor q_4 turns on, the discharge current is drawn out from load-carrying capacity cl , and the potential of an output terminal 5 serves as a low level. Transistors q_{21} and q_{23} turn on at this time, although the current which turned up the aforementioned current i_0 with transistors q_{32} and q_{20} flows to these transistors q_{21} and q_{23} , transistors q_{22} and q_{24} are turned off and the transistor q_3 by the side of charge is having turned off with as. If the collector potential of the output transistor q_4 falls rather than base potential, this output transistor q_4 will be turned off and the charge of load-carrying capacity cl will be maintained by electric discharge.

[0010] Input voltage v_4 rather than reference voltage v_3 on the other hand, at the time of a low Transistors q_{22} and q_{24} turn on and the aforementioned current i_0 turned up with transistors q_{32} and q_{20} flows to these transistors q_{22} and q_{24} . The base potential of the collector q_3 of a transistor q_{22} , i.e., the output transistor by the side of charge, falls, this output transistor q_3 turns on, it is begun to load-carrying capacity cl to pass the charging current, and the potential of an output terminal 5 becomes high-level. Although transistors q_{21} and q_{23} are turned off at this time, and transistors q_{11} and q_{13} turn on and the current i_0 from a transistor q_{10} flows to transistors q_{11} and q_{13} , transistors q_{12} and q_{14} turn off and the output transistor q_4 by the side of electric discharge is set to having turned off with as. If the collector potential of the output transistor q_3 rises rather than base potential, this output transistor q_3 will be turned off and the charge of load-carrying capacity cl will be maintained by electric discharge.

[0011] As drawing 6 shows, the drive circuit 1 constituted as mentioned above amplifies and outputs the difference of the aforementioned reference voltages v_1 and v_2 to r_2/r_1 time, and performs the charge and discharge of load-carrying capacity cl . If load-carrying capacity cl charges or discharges to the specified quantity and the need for charge and discharge is lost, the base current of the output transistors q_3 and q_4 will be suppressed by the negative feedback by the feedback resistor r_2 .

[0012] Drawing 7 is the block diagram showing the electric composition of the drive circuit 11 of the capacitive load of other conventional technology. This drive circuit 11 is shown by the patent No. 2548333 official report. In this drive circuit 11, the output transistors q_3 and q_4 of a NPN form will answer the control signal of an antiphase mutually from the input gate circuit 12, and will be

controlled by the control transistors q41 and q42, respectively. The base current from the sources 13 and 14 of a good transformation style is supplied to the base of the aforementioned output transistors q3 and q4 again. The collector current of the output transistors q3 and q4 is detected by the current detectors 15 and 16, respectively, and positive feedback of the detection result is carried out to the aforementioned sources 13 and 14 of a good transformation style, respectively.

[0013] If the charge and discharge current to load-carrying capacity cl is detected by the current detectors 15 or 16, this drive circuit 11 As opposed to the source of a good transformation style of the side which increases this charge and discharge current and is performing charge or electric discharge with high-speed operation by the aforementioned positive feedback (if it is the source 13 of a good transformation style by the side of charge) The current value of the source of a good transformation style of the side which omits the aforementioned charge or electric discharge (that is, set to 14) was decreased, and low-power-ization is realized.

[0014]

[Problem(s) to be Solved by the Invention] In the drive circuit 1 constituted as mentioned above, after negative feedback is applied to the differential amplifier 6 by the feedback resistor r2 and the charge and discharge of the specified quantity are completed by this, the base current of the output transistors q3 and q4 is suppressed, and low-power-ization is attained. However, there is a possibility that an oscillation and a ringing may occur by the aforementioned feedback, in drawing 5, the capacitor for phase compensation as shown by reference marks c1-c3 etc. is needed, and there is a problem that circuitry will be complicated. Moreover, although the base current of the output transistors q3 and q4 can be suppressed, it has the portion into which regular current, such as the reference current creation circuit 60, is flowing within the differential amplifier 6, and cannot say that the consumed electric current is fully reduced. If a dynamic range as shown by aforementioned drawing 6 focusing on the reference voltage v3 of the differential amplifier 6 will be determined further again and reference voltage v3 is changed, it will set to the drawing 6. The problem that the output margin vu by the side of an upper limit will differ from the output margin vd by the side of a minimum also has the potential by the side of the high level shown by the reference mark vh, and the potential by the side of the low level shown by the reference mark vl in supply voltage Vcc or grounding potential, respectively.

[0015] Moreover, since positive feedback is applied also about the drive circuit 11 in order to make a charge and discharge current increase by in an instant by the small bias current, in order to prevent an oscillation, a phase compensation circuit etc. is needed, and there is a problem that composition will be complicated. Moreover, since it is prepared in the collector side, respectively, while the part of the output transistors q3 and q4 from which these current detectors 15 and 16 serve as a load, and the dynamic range of an output become [the current detectors 15 and 16] narrow, there is a problem that an output swing is uncontrollable with high precision. The base current of the output transistors q3 and q4 which increased in an instant becomes having flowed with as until the output was reversed, and, in low frequency operation, there is also a problem that a power loss is large further again.

[0016] The purpose of this invention is simple composition and is offering the drive circuit of a low loss capacitive load.

[0017]

[Means for Solving the Problem] It carries out the drive circuit of the capacitive load concerning invention of a claim 1 answering an input signal, and being prepared in relation to the aforementioned charge-and-discharge circuit in the drive circuit where a control circuit controls a charge-and-discharge circuit, and was made to carry out the charge and discharge of the output load-carrying capacity, and the aforementioned control circuit answering the operation of the aforementioned limiter circuit including the limiter circuit which restricts in the voltage value which defines an output-voltage amplitude beforehand, and restricting the charge and discharge current of the aforementioned charge-and-discharge circuit as the feature.

[0018] moreover, in the drive circuit of the capacitive load concerning invention of a claim 2 As for the aforementioned charge-and-discharge circuit, an emitter is connected to the high-level side edge child and low-level side edge child of a power supply, respectively. A collector is connected to the aforementioned output load-carrying capacity through an output terminal in common, and it has the 1st and 2nd transistors to which the base current answered and switched to the aforementioned

input signal from the aforementioned control circuit is given, respectively. The reference voltage by the side of the high level as which it connects with the aforementioned output terminal in common, and an emitter determines the aforementioned limiter circuit to the base beforehand, and the reference voltage by the side of a low level are given, respectively. It is characterized by having the 3rd which restricts the base current to the above 1st by the aforementioned control circuit, and the 2nd transistor by the collector current, and 4th transistors.

[0019] If according to the above-mentioned composition an output voltage amplitude is prescribed by the limiter circuit as shown by the above-mentioned claim 2, the charge and discharge to output load-carrying capacity advance and this limiter circuit operates, a control circuit will restrict the charge and discharge current of a charge-and-discharge circuit.

[0020] Therefore, since the operating state of a control circuit is only switched using a limiter circuit, neither an oscillation nor a ringing can arise, the measures to this can be taken unnecessary, and composition can be simplified. Moreover, if output load-carrying capacity reaches the voltage value specified by the limiter circuit, since a control circuit will restrict a charge and discharge current, as the above-mentioned claim 2 shows, the base current of the output transistor which constitutes a charge-and-discharge circuit etc. can be restricted, and low-power-ization can be attained. Since an output voltage amplitude is restricted to constant value by the limiter circuit, while an output dynamic range is stabilized further again, the margin to the potential by the side of a power supply etc. can be kept constant.

[0021] The aforementioned output load-carrying capacity is characterized by being the common electrode of a liquid crystal panel in the drive circuit of the capacitive load concerning invention of a claim 3 further again.

[0022] According to the above-mentioned composition, since a common electrode is low-speed operation comparatively, it can carry out this invention suitably.

[0023]

[Embodiments of the Invention] It will be as follows if one gestalt of operation of this invention is explained based on drawing 1 - drawing 3.

[0024] Drawing 1 is the block diagram showing the rough composition of the drive circuit 21 of the capacitive load of one gestalt of operation of this invention. Let this drive circuit 21 be the common electrode of the liquid crystal panel driven by comparison low frequency as load-carrying capacity CL.

[0025] The aforementioned load-carrying capacity CL is connected to an output terminal 22, to this output terminal 22, among the output transistors Q1 and Q2 which constitute an output circuit, the output transistor Q1 slushes the charging current from the power supply line 23 of high level Vcc, and the output transistor Q2 sucks out the discharge current to a grounding line. The output transistor Q1 is a transistor of a PNP form, and the base current I1 is drawn out by the charge control circuit 25. On the other hand, the output transistor Q2 is a transistor of a NPN form, and the base current I2 is slushed by the electric discharge control circuit 26. The video signal S1 of the shape of a pulse for driving the aforementioned common electrode from the source of a video signal which is not illustrated is inputted into these control circuits 25 and 26.

[0026] The potential of the aforementioned output terminal 22 is supervised by limiter circuits 27 and 28. The upper limit limiter circuit 27 bypasses the charging current of the aforementioned output transistor Q1 so that the potential of the aforementioned output terminal 22 may not become higher than the amplitude upper limit E1 defined beforehand, and it answers the operation of this upper limit limiter circuit 27, and the charge control circuit 25 suppresses the amount of sinks of the aforementioned base current I1, and it restricts the aforementioned charging current. The minimum limiter circuit 28 bypasses the discharge current of the aforementioned output transistor Q2 so that the potential of the aforementioned output terminal 22 may not become less than [lower limit E2] which is defined beforehand, and the electric discharge control circuit 26 answers the operation of this minimum limiter circuit 28, and suppresses the amount of supply of the aforementioned base current I2, and restricts the aforementioned discharge current.

[0027] Drawing 2 is the electrical diagram showing the concrete composition of the drive circuit 21 shown by drawing 1. In drawing 2, the same reference mark is attached and shown in the portion corresponding to drawing 1. The aforementioned upper limit limiter circuit 27 consists of a transistor Q3 of a PNP form, and a source B1 of reference voltage, on the other hand the aforementioned

minimum limiter circuit 28 consists of the transistors Q4 and source B-2s of reference voltage of a NPN form. When setting output voltage of the source B1 of reference voltage, and B-2 to V1 and V2, respectively and setting voltage between base-emitters of transistors Q3 and Q4 to Vbe, the aforementioned upper limit E1 and a lower limit E2 are. $E1=V1+Vbe$ — (1)

$E2=V2-Vbe$ — (2)

In a next door and drawing 2, drawing 3 comes to show the potential of an output terminal 22 to the aforementioned video signal S1 inputted into an input terminal 31.

[0028] The drive circuit 21 is equipped with the common constant current sources F1 and F2, the source B0 of reference voltage, transistors Q11-Q14 and resistance R1 and R2, the transistors Q15 and Q16 by the side of the electric discharge control circuit 26 and resistance R3 and R4, and the transistors Q17 and Q18 by the side of the charge control circuit 25 and resistance R5 and R6 by the aforementioned control circuits 25 and 26 again. To the series circuit of the resistance R2 which intervenes from the aforementioned power supply line 23 to a grounding line, the transistor Q14 by which diode connection was made, and a constant current source F2, the constant current I12 is always flowing.

[0029] The constant current I11 is supplied to the emitter of the transistors Q11 and Q12 which constitute the differential pair for input detection from the constant current source F1, the base of a transistor Q11 is connected to the aforementioned input terminal 31, a collector is grounded, reference voltage V0 is given to the base of a transistor Q12 from the source B0 of reference voltage, and the collector is grounded through the transistor Q13 and resistance R1 by which diode connection was made. In the example shown by this drawing 2, although between I/O is in phase, also let between the aforementioned I/O be an antiphase by forming a transistor Q13 and resistance R1 in the collector side of a transistor Q11, and grounding the collector of a transistor Q12 directly.

[0030] When the video signal S1 to an input terminal 31 is lower than reference voltage V0, the aforementioned current I11 flows through a transistor Q11. On the other hand, when high, the aforementioned current I11 flows through a transistor Q13 and resistance R1 from a transistor Q12. Between the aforementioned power supply line 23 and the grounding line, the series circuit which consists of the resistance R3 for electric discharge control circuit 26, transistors Q15 and Q16, and resistance R4, and the series circuit which consists of the resistance R6 for charge control circuit 25, transistors Q17 and Q18, and resistance R5 intervene, respectively.

[0031] Current Miller circuit is constituted and, as for the aforementioned transistor Q13 and transistors Q16 and Q18, a transistor Q14 and transistors Q15 and Q17 constitute current Miller circuit. The aforementioned base current I1 is drawn from the collector of a transistor Q18, and the aforementioned base current I2 begins to be passed from the collector of a transistor Q15. On the other hand, a part of current I15 of the aforementioned charging current which the output transistor Q1 begins to pass is bypassed by the transistor Q3, and is given to the emitter side of a transistor Q18, and a part of current I19 of the discharge current which the output transistor Q2 should suck out is bypassed by the transistor Q4, and is pulled out from the emitter side of a transistor Q15.

[0032] Therefore, if the level of the aforementioned video signal S1 becomes higher than reference voltage V0, transistors Q12 and Q13 will turn on, a transistor Q18 will turn on, the base current I1 of the output transistor Q1 will be drawn out, and charge of load-carrying capacity CL will be started. When setting the collector current of a transistor Q18 to I14 and setting the collector current of a transistor Q17 to I13 at this time, it is $I1=I14-I13$, and the charging current through the output transistor Q1 serves as $I1 \times hFE$, when setting the DC current gain of this output transistor Q1 to hFE. Moreover, although a transistor Q16 is also turned on at this time, since it is $I20 \geq I17$, the current I20 which flows a transistor Q16 to the collector current I17 of a transistor Q15 turns off the output transistor Q2.

[0033] If the potential of an output terminal 22 rises and the aforementioned upper limit E1 is reached, a transistor Q3 will turn on, a part of aforementioned charging current will be bypassed, and it will give the emitter side of a transistor Q18 as current I15. If the base current of the output transistor Q1 thinks that it is sufficiently small compared with the collector current at this time, it will be stabilized in simultaneously $I15=I14-I13$. Therefore, if charge is stabilized, the charging current, i.e., the collector current of the output transistor Q1, will become almost equal to the base current I1 of this output transistor Q1 at the time of a charge start, and it will be mostly suppressed by 1 for hFE.

[0034] On the other hand, if the level of a video signal S1 becomes lower than reference voltage V0,

transistors Q12 and Q13 and transistors Q16 and Q18 turn off. The collector current I17 of a transistor Q15 turns into the base current I2 of a transistor Q2 altogether, and is supplied by this, and electric discharge of load-carrying capacity CL is started. When setting the collector current of a transistor Q15 to I17 at this time, it is $I2=I17$, and the discharge current through the output transistor Q2 serves as $I2 \times hFE$, when setting the DC current gain of this output transistor Q2 to hFE. Moreover, although the transistor Q17 is also turned on at this time, it becomes the reverse bias of a transistor Q1, and this output transistor Q1 is turned off.

[0035] If the potential of an output terminal 22 falls and the aforementioned lower limit E2 is reached, a transistor Q4 will turn on, current I19 will be drawn out from the emitter side of a transistor Q15, and the collector of a transistor Q2 will be given. If the base current of the output transistor Q2 thinks that it is sufficiently small compared with the collector current to the collector current I17 at the time of electric discharge of a transistor Q15 at this time, it will be stabilized in simultaneously $I19=I17$. Therefore, if electric discharge is stabilized, the discharge current, i.e., the collector current of the output transistor Q2, will become almost equal to the collector current I17 I2 of the transistor Q15 at the time of discharge starting, i.e., the base current of this output transistor Q2, and it will be mostly suppressed by 1 for hFE.

[0036] As mentioned above, since limiter circuits 27 and 28 restrict an output voltage amplitude to the range of a lower limit E2 from an upper limit E1, control circuits 25 and 26 suppress the base current of the output transistors Q1 and Q2 according to the charge and discharge current bypassed for the voltage limiting and the drive circuit 21 according to this invention suppresses the aforementioned charge and discharge current, it can attain low loss-ization. Moreover, since the base current of the output transistors Q1 and Q2 by control circuits 25 and 26 is only switched by limiter circuits 27 and 28, neither an oscillation nor a ringing arises, and by this, the composition of a phase compensation circuit etc. can be omitted and it can realize with easy composition.

[0037] Since an output voltage amplitude is determined and main voltage was not decided by reference voltages V1 and V2 further again, when main voltage shifts, a bird clapper does not have small the margin of an amplitude by the side of Vcc or GND like the conventional technology shown by drawing 6. Moreover, in the state where charge and discharge are stable, since a charge and discharge current is suppressed, it can carry out suitably to the common electrode of the aforementioned liquid crystal panel with the long period of charge and discharge etc.

[0038]

[Effect of the Invention] The drive circuit of the capacitive load concerning invention of a claim 1 As mentioned above, answer an input signal and it sets in the drive circuit where a control circuit controls a charge-and-discharge circuit, and was made to carry out the charge and discharge of the output load-carrying capacity. While a limiter circuit as shown by the claim 2 restricted in the voltage value which defines an output voltage amplitude beforehand is prepared in relation to the aforementioned charge-and-discharge circuit and this limiter circuit prescribes an output voltage amplitude Answering the operation of this limiter circuit, a control circuit restricts the charge and discharge current of the aforementioned charge-and-discharge circuit.

[0039] So, since the operating state of a control circuit is only switched using a limiter circuit, neither an oscillation nor a ringing can arise, the measures to this can be taken unnecessary, and composition can be simplified. Moreover, if output load-carrying capacity reaches the voltage value specified by the limiter circuit, since a control circuit will restrict a charge and discharge current, as a claim 2 shows, the base current of the output transistor which constitutes a charge-and-discharge circuit etc. can be restricted, and low-power-ization can be attained. Since an output voltage amplitude is restricted to constant value by the limiter circuit, while an output dynamic range is stabilized further again, the margin to the potential by the side of a power supply etc. can be kept constant.

[0040] The drive circuit of the capacitive load concerning invention of a claim 3 uses the aforementioned output load-carrying capacity as the common electrode of a liquid crystal panel as mentioned above further again.

[0041] So, this invention can be comparatively carried out suitably about low-speed operation.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the rough composition of the drive circuit of the capacitive load of one gestalt of operation of this invention.

[Drawing 2] It is the electrical diagram showing the concrete composition of the drive circuit shown by drawing 1 .

[Drawing 3] It is a wave form chart for explaining operation of the drive circuit shown by drawing 1 .

[Drawing 4] It is the block diagram showing the electric composition of the drive circuit of the capacitive load of the typical conventional technology.

[Drawing 5] It is the electrical diagram showing the concrete composition of the differential amplifier in the drive circuit shown by drawing 4 .

[Drawing 6] It is a wave form chart for explaining operation of the drive circuit shown by drawing 4 .

[Drawing 7] It is the block diagram showing the electric composition of the drive circuit of the capacitive load of other conventional technology.

[Description of Notations]

21 Drive Circuit

22 Output Terminal

25 Charge Control Circuit (Control Circuit)

26 Electric Discharge Control Circuit (Control Circuit)

27 Upper Limit Limiter Circuit (Limiter Circuit)

28 Minimum Limiter Circuit (Limiter Circuit)

B0 Source of reference voltage

B1, B-2 Source of reference voltage (limiter circuit)

CL Load-carrying capacity (output load-carrying capacity)

F1, F2 Constant current source

Q1 Output transistor (a charge-and-discharge circuit, the 1st transistor)

Q2 Output transistor (a charge-and-discharge circuit, the 2nd transistor)

Q3 Transistor (a limiter circuit, the 3rd transistor)

Q4 Transistor (a limiter circuit, the 4th transistor)

Q11-Q18 Transistor

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

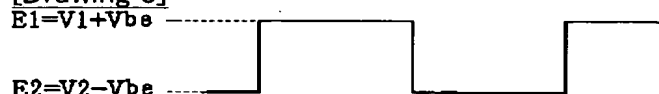
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

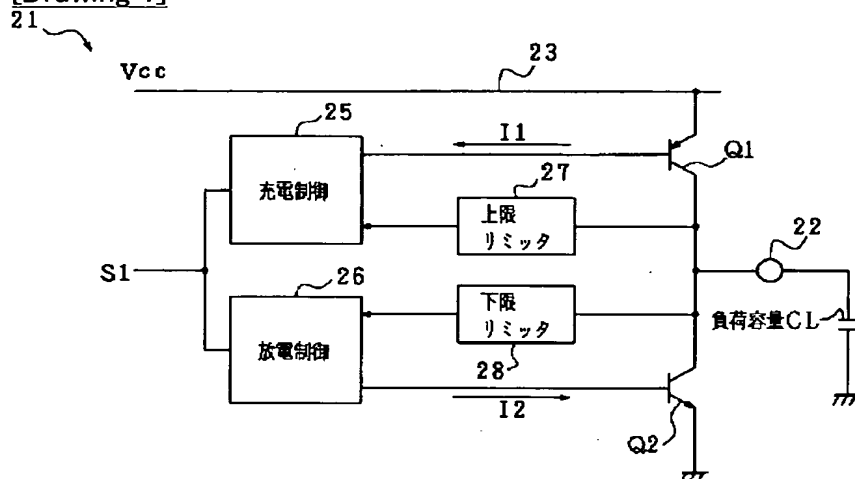
3.In the drawings, any words are not translated.

DRAWINGS

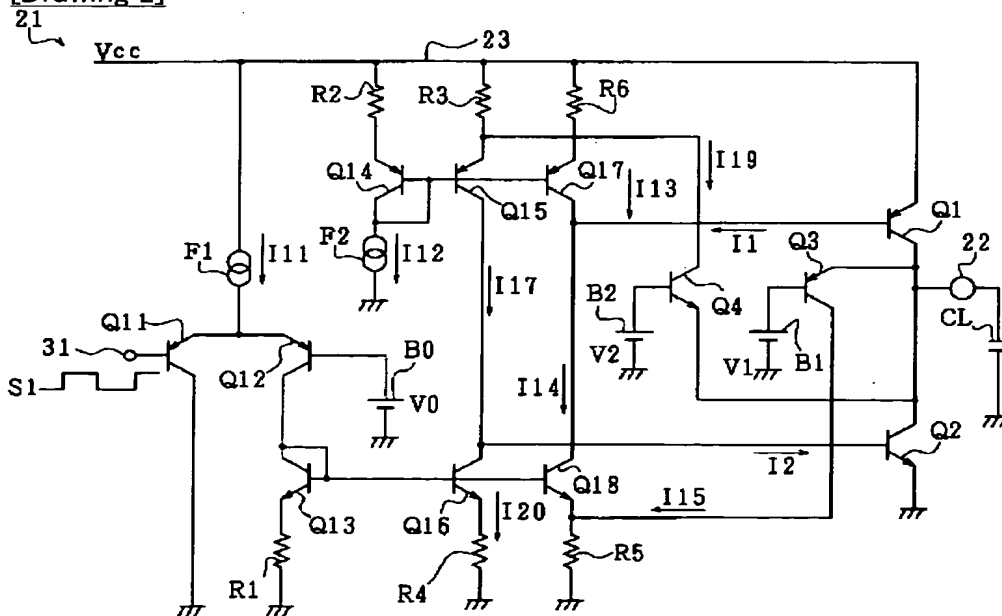
[Drawing 3]



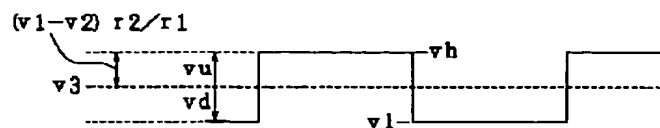
[Drawing 1]



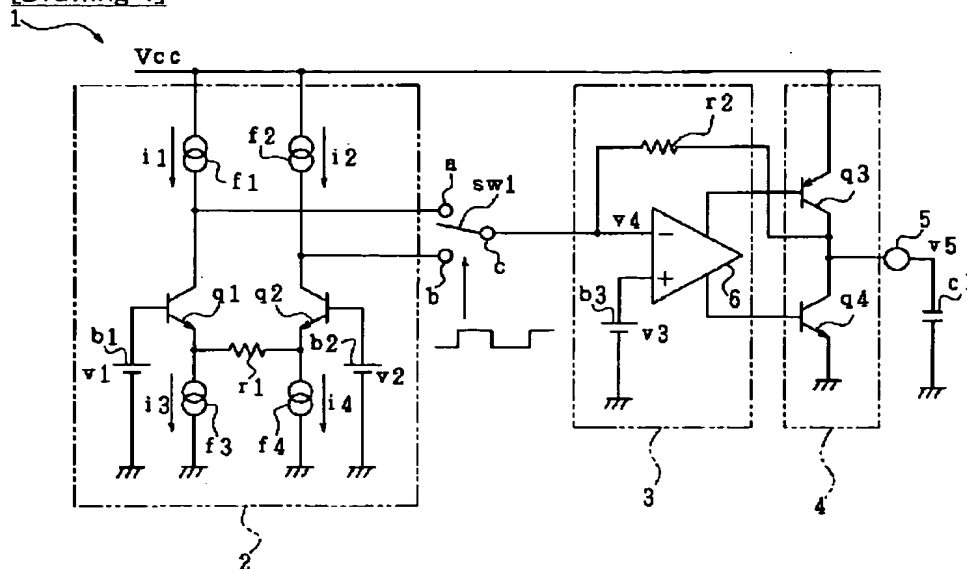
[Drawing 2]



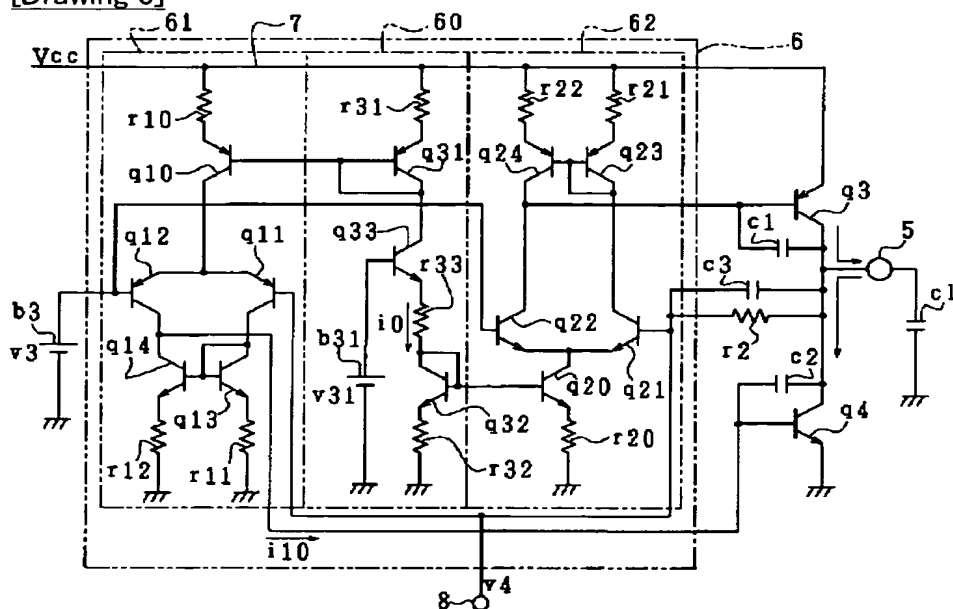
[Drawing 6]



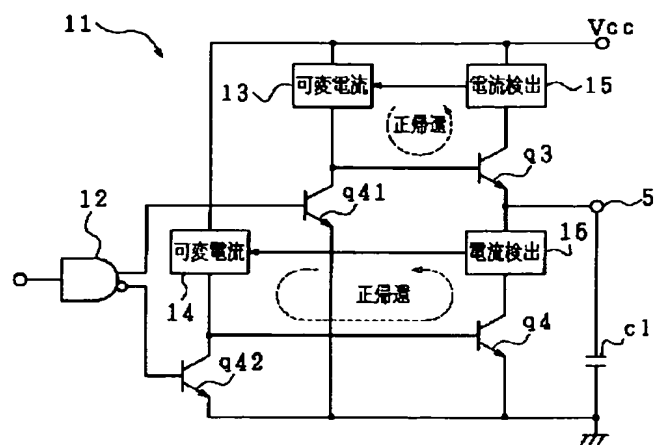
[Drawing 4]



[Drawing 5]



[Drawing 7]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-174601

(P2000-174601A)

(43) 公開日 平成12年6月23日 (2000. 6. 23)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 K 17/66		H 0 3 K 17/66	C 5 C 0 0 6
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 G 5 C 0 8 0
	6 2 3		6 2 3 B 5 J 0 5 5
3/36		3/36	5 J 0 5 6
H 0 3 K 19/0175		H 0 3 K 19/00	1 0 1 F
審査請求 未請求 請求項の数3 O L (全 9 頁)			

(21) 出願番号 特願平10-349073

(22) 出願日 平成10年12月8日 (1998. 12. 8)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 香村 明宏

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

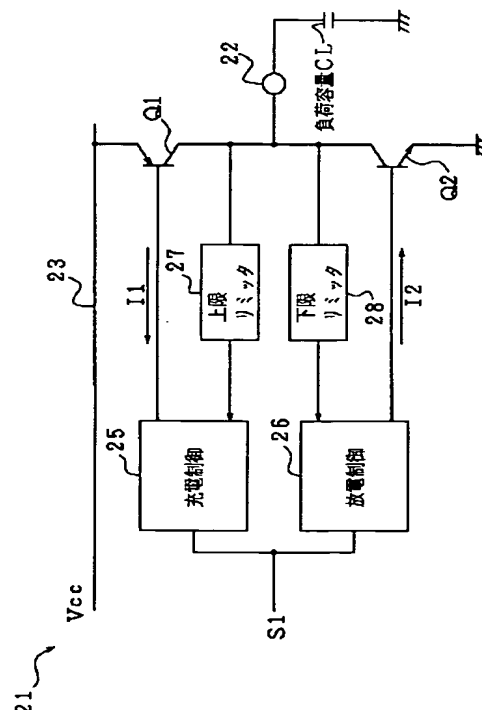
最終頁に続く

(54) 【発明の名称】 容量性負荷の駆動回路

(57) 【要約】

【課題】 液晶パネルのコモン電極などの負荷容量C Lを駆動する駆動回路2 1において、構成を簡略化し、低損失化を図る。

【解決手段】 出力トランジスタQ 1、Q 2のベース電流I 1、I 2を、制御回路2 5、2 6が供給し、負荷容量C Lの電位が、所定の上限值または下限値に到達すると、リミッタ回路2 7または2 8が充電または放電電流をそれぞれバイパスするとともに、このリミッタ回路2 7または2 8の作動にตอบสนองして、制御回路2 5または2 6は、出力トランジスタQ 1またはQ 2のベース電流I 1またはI 2をそれぞれ抑制する。したがって、リミッタ回路2 7、2 8によって制御回路2 5、2 6によるベース電流の切換えを行うだけであるので、発振などに対する対策を不要とし、構成を簡略化することができる。とともに、大きな充放電電流が流れたままとならないので、低損失化を図ることができる。



【特許請求の範囲】

【請求項 1】入力信号にตอบสนองして、制御回路が充放電回路を制御して出力負荷容量を充放電させるようにした駆動回路において、

前記充放電回路に関連して設けられ、出力電圧振幅を予め定める電圧値内に制限するリミッタ回路を含み、
前記制御回路は、前記リミッタ回路の作動にตอบสนองして、前記充放電回路の充放電電流を制限することを特徴とする容量性負荷の駆動回路。

【請求項 2】前記充放電回路は、エミッタがそれぞれ電源のハイレベル側端子およびローレベル側端子に接続され、コレクタが共通に出力端子を介して前記出力負荷容量に接続され、前記制御回路から前記入力信号にตอบสนองしてスイッチングされるベース電流がそれぞれ与えられる第 1 および第 2 のトランジスタを備え、

前記リミッタ回路は、エミッタが共通に前記出力端子に接続され、ベースには予め定めるハイレベル側の基準電圧およびローレベル側の基準電圧がそれぞれ与えられ、コレクタ電流によって前記制御回路による前記第 1 および第 2 のトランジスタへのベース電流を制限する第 3 および第 4 のトランジスタを備えることを特徴とする請求項 1 記載の容量性負荷の駆動回路。

【請求項 3】前記出力負荷容量は、液晶パネルのコモン電極であることを特徴とする請求項 1 または 2 記載の容量性負荷の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、充放電によって駆動される容量性負荷を駆動するための回路に関する。

【0002】

【従来の技術】図 4 は、典型的な従来技術の容量性負荷の駆動回路 1 の電気的構成を示すブロック図である。この駆動回路 1 は、充放電電流を規定する基準用の差動増幅回路 2 と、入力信号にตอบสนองして、充放電電流を切換えるための制御回路として機能するスイッチ $sw1$ と、前記充放電電流を制御する制御用の差動増幅回路 3 と、出力回路 4 とを備えて構成されており、出力端子 5 に接続される負荷容量 $c1$ を、充放電することによって駆動する。

【0003】前記差動増幅回路 2 は、基準電流源 $f1 \sim f4$ と、基準電圧源 $b1, b2$ と、トランジスタ $q1, q2$ と、抵抗 $r1$ とを備えて構成されている。差動対を構成する一対のトランジスタ $q1, q2$ のベースには、基準電圧源 $b1, b2$ からの基準電圧 $v1, v2$ がそれぞれ与えられている。なお、以降の説明では、 $v1 > v2$ として説明する。トランジスタ $q1, q2$ のコレクタには、定電流源 $f1, f2$ を介して、ハイレベル V_{cc} の電源からの定電流 $i1, i2$ がそれぞれ供給される。トランジスタ $q1, q2$ のエミッタは、それぞれ定電流源 $f3, f4$ を介して接地されるとともに、抵抗 $r1$ に

よって相互に接続されている。定電流源 $f1, f2, f3, f4$ を流れる電流 $i1, i2, i3, i4$ は、相互に等しく設定されている。

【0004】前記トランジスタ $q1$ のコレクタは前記スイッチ $sw1$ の一方の個別接点 a に接続され、トランジスタ $q2$ のコレクタは他方の個別接点 b に接続される。前述の通り、 $v1 > v2$ であるので、接点 a がローレベルとなり、接点 b がハイレベルとなっている。スイッチ $sw1$ の共通接点 c は、差動増幅回路 3 内の差動増幅器 6 の反転入力端子に接続され、その差動増幅器 6 の非反転入力端子には、基準電圧源 $b3$ から基準電圧 $v3$ が与えられている。

【0005】一方、出力回路 4 は、エミッタが前記ハイレベル V_{cc} 側の電源ラインに接続され、コレクタが出力端子 5 に接続される PNP 形の出力トランジスタ $q3$ と、エミッタが接地され、コレクタが出力端子 5 に接続される NPN 形の出力トランジスタ $q4$ とから構成されており、出力トランジスタ $q3$ のベースには前記差動増幅器 6 の正相出力が与えられ、出力トランジスタ $q4$ のベースには逆相出力が与えられる。前記出力端子 5 はまた、帰還抵抗 $r2$ を介して前記差動増幅器 6 の反転入力端に接続されている。

【0006】図 5 は、前記差動増幅器 6 を詳細に示す電気回路図である。差動増幅器 6 は、基準電流作成回路 60 と、放電側のアンプ 61 と、充電側のアンプ 62 と、前記基準電圧源 $b3$ および帰還抵抗 $r2$ とを備えて構成されている。基準電流作成回路 60 は、抵抗 $r31$ と、ダイオード接続されたトランジスタ $q31$ と、基準電圧源 $b31$ からの基準電圧 $v31$ がベースに与えられるトランジスタ $q33$ と、抵抗 $r33$ と、ダイオード接続されたトランジスタ $q32$ と、抵抗 $r32$ とから成る直列回路が、前記ハイレベル V_{cc} の電源ライン 7 と、接地電位との間に接続されて構成されている。したがってこの直列回路には、前記基準電圧 $v31$ によって決定される基準電流 $i0$ が流れている。

【0007】アンプ 61 側では、前記電源ライン 7 からの電流が、抵抗 $r10$ および前記トランジスタ $q31$ とカレントミラー回路を形成するトランジスタ $q10$ を介して、差動対を構成するトランジスタ $q11, q12$ のエミッタに共通に与えられる。一方のトランジスタ $q11$ のベースには、差動増幅器 6 の反転入力端子 8 からの入力電圧 $v4$ が与えられる。他方のトランジスタ $q12$ のベースには、基準電圧源 $b3$ からの基準電圧 $v3$ が与えられる。トランジスタ $q11$ のコレクタは、トランジスタ $q13$ および抵抗 $r11$ を介して接地され、トランジスタ $q12$ のコレクタは、トランジスタ $q14$ および抵抗 $r12$ を介して接地される。前記トランジスタ $q12$ のコレクタはまた、出力トランジスタ $q4$ のベースに接続されており、該出力トランジスタ $q4$ へベース電流を流し出す。

3

【0008】これに対してアンプ62側では、差動対を構成する一方のトランジスタq21のコレクタには、抵抗r21およびトランジスタq23を介して電源ライン7から電流が供給され、同様に他方のトランジスタq22のコレクタには、抵抗r22およびトランジスタq24を介して電流が供給される。トランジスタq21、q22のエミッタは、共通に、前記トランジスタq32とカレントミラー回路を形成するトランジスタq20および抵抗r20を介して接地されている。トランジスタq21のベースには、前記トランジスタq11と同様に、
10 入力端子8への入力電圧v4が与えられ、トランジスタq22のベースには、前記トランジスタq12と同様に、基準電圧v3が与えられる。トランジスタq22のコレクタからは、出力トランジスタq3のベース電流を吸い込む。

【0009】したがって、入力電圧v4が、基準電圧v3よりも高いときには、トランジスタq11がoffし、トランジスタq12がonする。これによって、トランジスタq12、q14にトランジスタq31、q10で折返された前記電流i0が流れ、トランジスタq13がoffして、トランジスタq14のコレクタ、すなわち放電側の出力トランジスタq4のベース電位が上昇し、該出力トランジスタq4がonして、負荷容量c1から放電電流を引き抜き、出力端子5の電位はローレベルとなる。このとき、トランジスタq21、q23がonして、前記電流i0をトランジスタq32、q20で折返した電流がこれらのトランジスタq21、q23に流れるけれども、トランジスタq22、q24はoffしており、充電側のトランジスタq3はoffしたままとなっている。放電によって、出力トランジスタq4のコレクタ電位がベース電位よりも低下すると、該出力トランジスタq4はoffして、負荷容量c1の電荷は維持される。

【0010】これに対して、入力電圧v4が基準電圧v3よりも低いときには、トランジスタq22、q24がonし、これらのトランジスタq22、q24にはトランジスタq32、q20で折返された前記電流i0が流れ、トランジスタq22のコレクタ、すなわち充電側の出力トランジスタq3のベース電位が低下し、該出力トランジスタq3がonして、負荷容量c1に充電電流を流し出し、出力端子5の電位はハイレベルとなる。このとき、トランジスタq21、q23はoffし、またトランジスタq11、q13がonし、トランジスタq11、q13にトランジスタq10からの電流i0が流れるけれども、トランジスタq12、q14がoffしており、放電側の出力トランジスタq4はoffしたままとなる。放電によって、出力トランジスタq3のコレクタ電位がベース電位よりも上昇すると、該出力トランジスタq3はoffして、負荷容量c1の電荷は維持される。

4

【0011】上述のように構成される駆動回路1は、図6で示すように、前記基準電圧v1、v2の差を、 $r2/r1$ 倍に増幅して出力し、負荷容量c1の充放電を行う。負荷容量c1が所定量まで充電または放電されて、充放電の必要がなくなると、帰還抵抗r2による負帰還によって、出力トランジスタq3、q4のベース電流が抑制される。

【0012】図7は、他の従来技術の容量性負荷の駆動回路11の電氣的構成を示すブロック図である。この駆動回路11は、特許第2548333号公報で示されたものである。この駆動回路11では、NPN形の出力トランジスタq3、q4は、入力ゲート回路12からの相互に逆相の制御信号にตอบสนองして、制御トランジスタq41、q42によって、それぞれ制御されることになる。前記出力トランジスタq3、q4のベースにはまた、可変電流源13、14からのベース電流が供給される。出力トランジスタq3、q4のコレクタ電流は、電流検出回路15、16によってそれぞれ検出され、その検出結果は、前記可変電流源13、14にそれぞれ正帰還される。
20

【0013】この駆動回路11は、電流検出回路15または16によって負荷容量c1への充放電電流を検知すると、前記正帰還によって該充放電電流を増大し、高速動作と、充電または放電を行っている側の可変電流源（たとえば充電側の可変電流源13とすると）に対して、前記充電または放電を行っていない側の可変電流源（すなわち14となる）の電流値を減少させて、低消費電力化とを実現している。

【0014】

【発明が解決しようとする課題】前述のように構成される駆動回路1では、差動増幅器6には帰還抵抗r2によって負帰還がかけられ、これによって所定量の充放電が終了すると、出力トランジスタq3、q4のベース電流が抑制され、低消費電力化が図られている。しかしながら、前記帰還によって発振やリングの発生する恐れがあり、図5において、参照符c1～c3で示すような位相補償用のコンデンサ等が必要となり、回路構成が複雑化してしまうという問題がある。また、出力トランジスタq3、q4のベース電流は抑制することができるけれども、差動増幅器6内で、基準電流作成回路60などの常時電流が流れている部分があり、消費電流が十分に低減されているとはいえない。さらにまた、差動増幅器6の基準電圧v3を中心として、前記図6で示すようなダイナミックレンジが決定されることになり、基準電圧v3が変動すると、その図6において、参照符vhで示すハイレベル側の電位や、参照符vlで示すローレベル側の電位が、それぞれ電源電圧Vccや接地電位に当たってしまい、上限側の出力マージンvuと下限側の出力マージンvdとが異なってしまうという問題もある。

50 【0015】また、駆動回路11に関しても、小さいバ

イアス電流で瞬時に充放電電流を増加させるために正帰還をかけているので、発振を防止するために位相補償回路などが必要となり、構成が複雑化してしまうという問題がある。また、電流検出回路 15、16 が、出力トランジスタ q_3 、 q_4 のそれぞれコレクタ側に設けられているので、該電流検出回路 15、16 が負荷となる分、出力のダイナミックレンジが狭くなるとともに、出力振幅を高精度に制御することができないという問題がある。さらにまた、瞬時に増加した出力トランジスタ q_3 、 q_4 のベース電流は、出力が反転するまで流れたままとなり、低周波動作の場合には、電力損失が大きいという問題もある。

【0016】本発明の目的は、簡便な構成で、低損失な容量性負荷の駆動回路を提供することである。

【0017】

【課題を解決するための手段】請求項 1 の発明に係る容量性負荷の駆動回路は、入力信号にตอบสนองして、制御回路が充放電回路を制御して出力負荷容量を充放電させるようにした駆動回路において、前記充放電回路に関連して設けられ、出力電圧振幅を予め定める電圧値内に制限するリミッタ回路を含み、前記制御回路は、前記リミッタ回路の作動にตอบสนองして、前記充放電回路の充放電電流を制限することを特徴とする。

【0018】また、請求項 2 の発明に係る容量性負荷の駆動回路では、前記充放電回路は、エミッタがそれぞれ電源のハイレベル側端子およびローレベル側端子に接続され、コレクタが共通に出力端子を介して前記出力負荷容量に接続され、前記制御回路から前記入力信号にตอบสนองしてスイッチングされるベース電流がそれぞれ与えられる第 1 および第 2 のトランジスタを備え、前記リミッタ回路は、エミッタが共通に前記出力端子に接続され、ベースには予め定めるハイレベル側の基準電圧およびローレベル側の基準電圧がそれぞれ与えられ、コレクタ電流によって前記制御回路による前記第 1 および第 2 のトランジスタへのベース電流を制限する第 3 および第 4 のトランジスタを備えることを特徴とする。

【0019】上記の構成によれば、出力電圧振幅は上記請求項 2 で示すようなリミッタ回路によって規定され、出力負荷容量への充放電が進行して、このリミッタ回路が作動すると、制御回路は、充放電回路の充放電電流を制限する。

【0020】したがって、リミッタ回路を利用して、制御回路の動作状態を切換えるだけであるので、発振やリンギングが生じることはなく、これに対する対策を不要にして、構成を簡略化することができる。また、出力負荷容量がリミッタ回路で規定された電圧値に到達すると、制御回路は充放電電流を制限するので、上記請求項 2 で示すように充放電回路を構成する出力トランジスタのベース電流などを制限することができ、低消費電力化を図ることができる。さらにまた、出力電圧振幅がリミ

ッタ回路で一定値に制限されるので、出力ダイナミックレンジが安定するとともに、電源側の電位などに対するマージンを一定に保つことができる。

【0021】さらにまた、請求項 3 の発明に係る容量性負荷の駆動回路では、前記出力負荷容量は、液晶パネルのコモン電極であることを特徴とする。

【0022】上記の構成によれば、コモン電極は、比較的低速動作であるので、本発明を好適に実施することができる。

【0023】

【発明の実施の形態】本発明の実施の一形態について、図 1～図 3 に基づいて説明すれば以下のとおりである。

【0024】図 1 は、本発明の実施の一形態の容量性負荷の駆動回路 21 の概略的構成を示すブロック図である。この駆動回路 21 は、負荷容量 CL として、比較低周波で駆動される液晶パネルのコモン電極とする。

【0025】前記負荷容量 CL は出力端子 22 に接続され、この出力端子 22 に対して、出力回路を構成する出力トランジスタ Q_1 、 Q_2 のうち、出力トランジスタ Q_1 はハイレベル V_{cc} の電源ライン 23 から充電電流を流し込み、出力トランジスタ Q_2 は接地ラインへ放電電流を吸出す。出力トランジスタ Q_1 は PNP 形のトランジスタであり、そのベース電流 I_1 は充電制御回路 25 によって引抜かれる。これに対して、出力トランジスタ Q_2 は NPN 形のトランジスタであり、そのベース電流 I_2 は放電制御回路 26 によって流し込まれる。これらの制御回路 25、26 には、図示しない映像信号源から、前記コモン電極を駆動するためのパルス状の映像信号 S_1 が入力される。

【0026】前記出力端子 22 の電位は、リミッタ回路 27、28 によって監視されている。上限リミッタ回路 27 は、前記出力端子 22 の電位が予め定める振幅上限値 E_1 より高くないように前記出力トランジスタ Q_1 の充電電流をバイパスし、かつ該上限リミッタ回路 27 の作動にตอบสนองして、充電制御回路 25 は、前記ベース電流 I_1 の吸込み量を抑制し、前記充電電流を制限する。下限リミッタ回路 28 は、前記出力端子 22 の電位が予め定める下限値 E_2 未満とならないように前記出力トランジスタ Q_2 の放電電流をバイパスし、また放電制御回路 26 は、該下限リミッタ回路 28 の作動にตอบสนองして、前記ベース電流 I_2 の供給量を抑制し、前記放電電流を制限する。

【0027】図 2 は、図 1 で示す駆動回路 21 の具体的構成を示す電気回路図である。図 2 において、図 1 に対応する部分には同一の参照符号を付して示している。前記上限リミッタ回路 27 は、PNP 形のトランジスタ Q_3 と、基準電圧源 B_1 とから構成されており、これに対して、前記下限リミッタ回路 28 は、NPN 形のトランジスタ Q_4 と、基準電圧源 B_2 とから構成されている。基準電圧源 B_1 、 B_2 の出力電圧をそれぞれ V_1 、 V_2

とし、トランジスタ Q 3、Q 4 のベース-エミッタ間電圧を V_{be} とするとき、前記上限値 E_1 および下限値 E_2

$$E_1 = V_1 + V_{be}$$

$$E_2 = V_2 - V_{be}$$

となり、図 2 において、入力端子 31 に入力される前記映像信号 S_1 に対して、出力端子 22 の電位は図 3 で示すようになる。

【0028】駆動回路 21 はまた、前記制御回路 25、26 で共通の定電流源 F_1 、 F_2 、基準電圧源 B_0 、トランジスタ $Q_{11} \sim Q_{14}$ および抵抗 R_1 、 R_2 と、放電制御回路 26 側のトランジスタ Q_{15} 、 Q_{16} および抵抗 R_3 、 R_4 と、充電制御回路 25 側のトランジスタ Q_{17} 、 Q_{18} および抵抗 R_5 、 R_6 とを備えている。前記電源ライン 23 から接地ラインの間に介在される抵抗 R_2 と、ダイオード接続されたトランジスタ Q_{14} と、定電流源 F_2 との直列回路には、常時、定電流 I_1 が流れている。

【0029】入力検知のための差動対を構成するトランジスタ Q_{11} 、 Q_{12} のエミッタには、定電流源 F_1 から定電流 I_{11} が供給されており、トランジスタ Q_{11} のベースは前記入力端子 31 に接続され、コレクタは接地され、トランジスタ Q_{12} のベースには基準電圧源 B_0 から基準電圧 V_0 が与えられ、コレクタはダイオード接続されたトランジスタ Q_{13} および抵抗 R_1 を介して接地されている。この図 2 で示す例では、入出力間が同相であるけれども、トランジスタ Q_{11} のコレクタ側にトランジスタ Q_{13} および抵抗 R_1 を設け、トランジスタ Q_{12} のコレクタを直接接地することによって、前記入出力間を逆相とすることもできる。

【0030】入力端子 31 への映像信号 S_1 が、基準電圧 V_0 よりも低いときには、前記電流 I_{11} は、トランジスタ Q_{11} を介して流れる。これに対して、高いときには、前記電流 I_{11} は、トランジスタ Q_{12} からトランジスタ Q_{13} および抵抗 R_1 を介して流れる。前記電源ライン 23 と接地ラインとの間には、放電制御回路 26 用の抵抗 R_3 、トランジスタ Q_{15} 、 Q_{16} および抵抗 R_4 から成る直列回路と、充電制御回路 25 用の抵抗 R_6 、トランジスタ Q_{17} 、 Q_{18} および抵抗 R_5 から成る直列回路とがそれぞれ介在されている。

【0031】前記トランジスタ Q_{13} とトランジスタ Q_{16} 、 Q_{18} とはカレントミラー回路を構成しており、またトランジスタ Q_{14} とトランジスタ Q_{15} 、 Q_{17} とはカレントミラー回路を構成している。前記ベース電流 I_1 はトランジスタ Q_{18} のコレクタから引込まれ、前記ベース電流 I_2 はトランジスタ Q_{15} のコレクタから流し出される。一方、出力トランジスタ Q_1 が流し出す前記充電電流の一部の電流 I_{15} は、トランジスタ Q_3 によってバイパスされてトランジスタ Q_{18} のエミッタ側に与えられ、出力トランジスタ Q_2 が吸出すべき放電電流の一部の電流 I_{19} は、トランジスタ Q_4 によ

2 は、

$$\dots (1)$$

$$\dots (2)$$

てバイパスされてトランジスタ Q_{15} のエミッタ側から引出される。

【0032】したがって、前記映像信号 S_1 のレベルが基準電圧 V_0 よりも高くなると、トランジスタ Q_{12} 、 Q_{13} が on し、トランジスタ Q_{18} が on して、出力トランジスタ Q_1 のベース電流 I_1 を引抜き、負荷容量 CL の充電が開始される。このとき、トランジスタ Q_{18} のコレクタ電流を I_{14} とし、トランジスタ Q_{17} のコレクタ電流を I_{13} とするとき、 $I_1 = I_{14} - I_{13}$ であり、出力トランジスタ Q_1 を介する充電電流は、該出力トランジスタ Q_1 の直流電流増幅率を h_{FE} とするとき、 $I_1 \times h_{FE}$ となる。またこのとき、トランジスタ Q_{16} も on するけれども、トランジスタ Q_{15} のコレクタ電流 I_{17} に対して、トランジスタ Q_{16} を流れる電流 I_{20} は、 $I_{20} \geq I_{17}$ であるので、出力トランジスタ Q_2 は off している。

【0033】出力端子 22 の電位が上昇し、前記上限値 E_1 に到達すると、トランジスタ Q_3 が on し、前記充電電流の一部をバイパスし、トランジスタ Q_{18} のエミッタ側に電流 I_{15} として与える。このとき、出力トランジスタ Q_1 のベース電流がそのコレクタ電流に比べて充分小さいと考えると、ほぼ $I_{15} = I_{14} - I_{13}$ で安定する。したがって、充電電流、すなわち出力トランジスタ Q_1 のコレクタ電流は、充電が安定すると、充電開始時の該出力トランジスタ Q_1 のベース電流 I_1 とほぼ等しくなり、ほぼ h_{FE} 分の 1 に抑制される。

【0034】これに対して、映像信号 S_1 のレベルが基準電圧 V_0 より低くなると、トランジスタ Q_{12} 、 Q_{13} およびトランジスタ Q_{16} 、 Q_{18} が off する。これによって、トランジスタ Q_{15} のコレクタ電流 I_{17} は、全てトランジスタ Q_2 のベース電流 I_2 となって供給され、負荷容量 CL の放電が開始される。このとき、トランジスタ Q_{15} のコレクタ電流を I_{17} とするとき、 $I_2 = I_{17}$ であり、出力トランジスタ Q_2 を介する放電電流は、該出力トランジスタ Q_2 の直流電流増幅率を h_{FE} とするとき、 $I_2 \times h_{FE}$ となる。またこのとき、トランジスタ Q_{17} も on しているけれども、トランジスタ Q_1 の逆バイアスとなって、該出力トランジスタ Q_1 は off している。

【0035】出力端子 22 の電位が低下し、前記下限値 E_2 に到達すると、トランジスタ Q_4 が on し、トランジスタ Q_{15} のエミッタ側から電流 I_{19} を引抜き、トランジスタ Q_2 のコレクタに与える。このとき、トランジスタ Q_{15} の放電時のコレクタ電流 I_{17} に対して、出力トランジスタ Q_2 のベース電流がそのコレクタ電流に比べて充分小さいと考えると、ほぼ $I_{19} = I_{17}$ で

安定する。したがって、放電電流、すなわち出力トランジスタ Q2 のコレクタ電流は、放電が安定すると、放電開始時のトランジスタ Q15 のコレクタ電流 I17、すなわち該出力トランジスタ Q2 のベース電流 I2 とほぼ等しくなり、ほぼ h_{FE} 分の 1 に抑制される。

【0036】以上のように、本発明に従う駆動回路 21 は、リミッタ回路 27、28 によって出力電圧振幅を上限値 E1 から下限値 E2 の範囲に制限し、その電圧制限のためにバイパスする充放電電流によって、制御回路 25、26 が出力トランジスタ Q1、Q2 のベース電流を抑制し、前記充放電電流を抑制するので、低損失化を図ることができる。また、リミッタ回路 27、28 によって、制御回路 25、26 による出力トランジスタ Q1、Q2 のベース電流の切換えを行うだけであるので、発振やリンギングなどが生じることはなく、これによって、位相補償回路などの構成を省略し、簡単な構成で実現することができる。

【0037】さらにまた、基準電圧 V1、V2 によって出力電圧振幅が決定され、中心電圧は決まっていないので、図 6 で示す従来技術のように、中心電圧がずれた場合に、Vcc 側または GND 側の振幅のマージンが小さくなることもない。また、充放電が安定している状態で、充放電電流が抑制されるので、充放電の周期が長い、前記液晶パネルのコモン電極などに対して、好適に実施することができる。

【0038】

【発明の効果】請求項 1 の発明に係る容量性負荷の駆動回路は、以上のように、入力信号に応答して制御回路が充放電回路を制御して出力負荷容量を充放電させるようにした駆動回路において、前記充放電回路に関連して、出力電圧振幅を予め定める電圧値内に制限する請求項 2 で示すようなリミッタ回路を設け、出力電圧振幅をこのリミッタ回路によって規定するとともに、このリミッタ回路の作動に응答して、制御回路は前記充放電回路の充放電電流を制限する。

【0039】それゆえ、リミッタ回路を利用して制御回路の動作状態を切換えるだけであるので、発振やリンギングが生じることはなく、これに対する対策を不要にして、構成を簡略化することができる。また、出力負荷容量がリミッタ回路で規定された電圧値に到達すると、制御回路は充放電電流を制限するので、請求項 2 で示すように充放電回路を構成する出力トランジスタのベース電流などを制限することができ、低消費電力化を図ることができる。さらにまた、出力電圧振幅がリミッタ回路で

一定値に制限されるので、出力ダイナミックレンジが安定するとともに、電源側の電位などに対するマージンを一定に保つことができる。

【0040】さらにまた、請求項 3 の発明に係る容量性負荷の駆動回路は、以上のように、前記出力負荷容量を液晶パネルのコモン電極とする。

【0041】それゆえ、比較的低速動作につき、本発明を好適に実施することができる。

【図面の簡単な説明】

10 【図 1】本発明の実施の一形態の容量性負荷の駆動回路の概略的構成を示すブロック図である。

【図 2】図 1 で示す駆動回路の具体的構成を示す電気回路図である。

【図 3】図 1 で示す駆動回路の動作を説明するための波形図である。

【図 4】典型的な従来技術の容量性負荷の駆動回路の電気的構成を示すブロック図である。

【図 5】図 4 で示す駆動回路における差動増幅器の具体的構成を示す電気回路図である。

20 【図 6】図 4 で示す駆動回路の動作を説明するための波形図である。

【図 7】他の従来技術の容量性負荷の駆動回路の電気的構成を示すブロック図である。

【符号の説明】

21 駆動回路

22 出力端子

25 充電制御回路（制御回路）

26 放電制御回路（制御回路）

27 上限リミッタ回路（リミッタ回路）

30 28 下限リミッタ回路（リミッタ回路）

B0 基準電圧源

B1、B2 基準電圧源（リミッタ回路）

CL 負荷容量（出力負荷容量）

F1、F2 定電流源

Q1 出力トランジスタ（充放電回路、第 1 のトランジスタ）

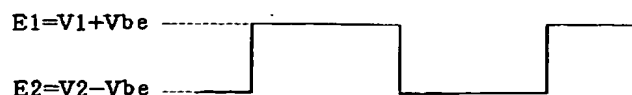
Q2 出力トランジスタ（充放電回路、第 2 のトランジスタ）

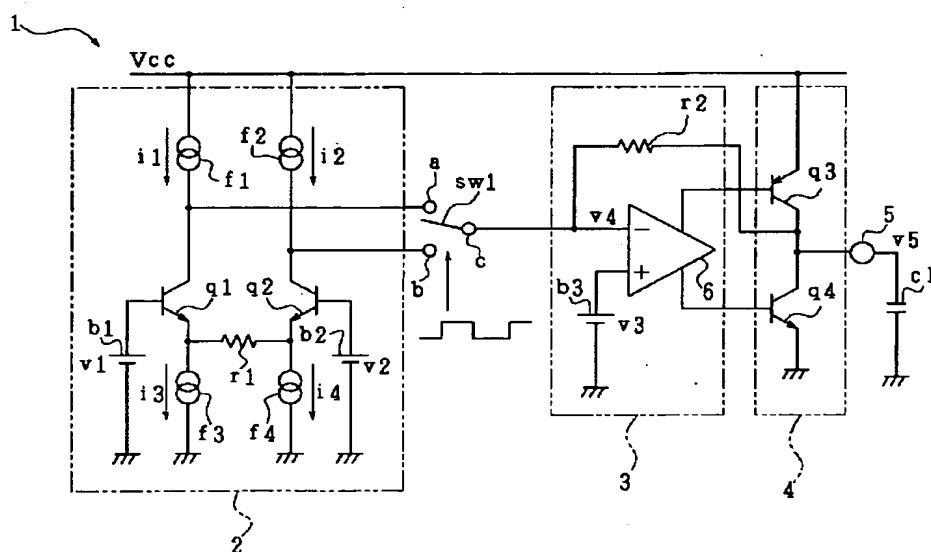
40 Q3 トランジスタ（リミッタ回路、第 3 のトランジスタ）

Q4 トランジスタ（リミッタ回路、第 4 のトランジスタ）

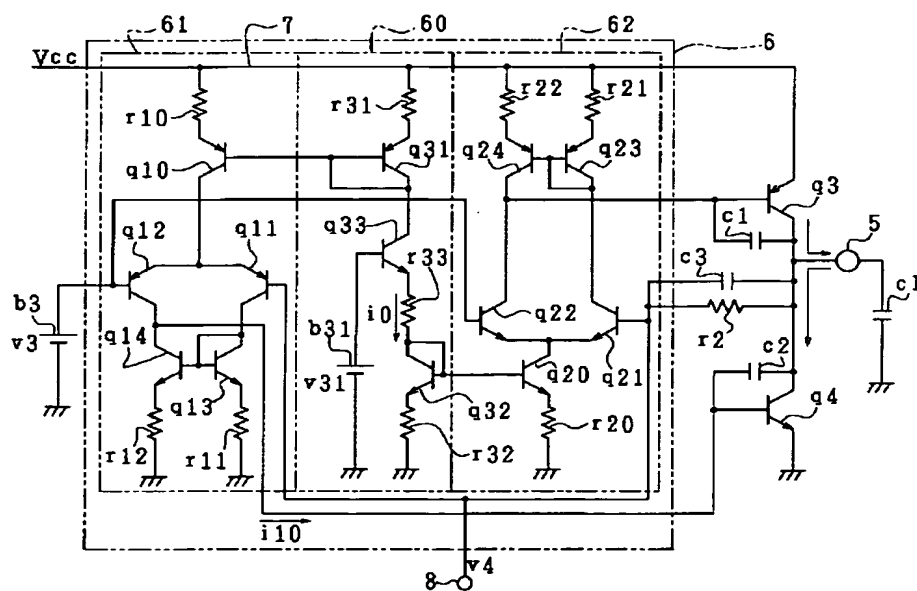
Q11～Q18 トランジスタ

【図 3】

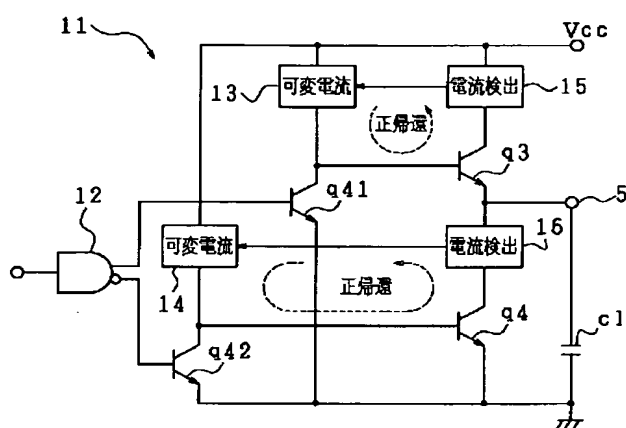




【图 5】



【図 7】



フロントページの続き

F ターム(参考) 5C006 AA01 AF54 AF61 BC03 BC12
BF25 BF31 BF36 BF38 FA31
FA41 FA47
5C080 AA10 BB05 DD12 DD22 DD26
JJ02 JJ03 JJ04
5J055 AX12 AX44 AX64 BX16 CX12
CX30 DX04 DX05 DX56 EX17
EY01 EY12 EY17 EZ00 EZ03
EZ04 EZ08 EZ16 EZ57 EZ69
GX01 GX02 GX04
5J056 AA05 BB17 BB24 BB51 CC00
CC01 CC02 CC13 CC28 DD02
DD25 EE11 FF08 GG06